

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-353066

(43)Date of publication of application : 24.12.1999

(51)Int. Cl.

G06F 3/00
 G06F 1/18
 G06F 1/26
 H03K 19/0175
 H03K 19/003

(21)Application number : 10-155734

(71)Applicant : NEC CORP

(22)Date of filing : 04.06.1998

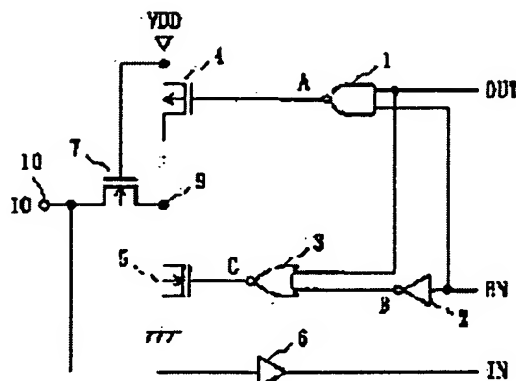
(72)Inventor : SAWAI YASUNORI

(54) OUTPUT BUFFER

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent device destruction at the time of inserting/removing a hot line by connecting a second N channel transistor for gate-inputting a power supply potential level raised almost simultaneously with a power source serially to a P channel transistor.

SOLUTION: An N channel transistor 7 is added between the input/output terminal 10 and output terminal 9 of an input/output buffer. Delay time is present after inserting a board to an opposite device until a power supply voltage VDD becomes a normal value and the N channel transistor 7 is in an OFF state until the power supply voltage VDD reaches a threshold voltage. Thus, even when the terminal of an opposite device side corresponding to the input/output terminal 10 of the board is at an 'H' level, a current does not flow in from the opposite device. Also, since the power supply voltage VDD is raised to a sufficient value at the point of time of turning ON the N channel transistor 7, a large current does not flow in from the opposite device. In such a manner, the board is inserted to the opposite device without damaging the opposite device and the circuit of the board.



LEGAL STATUS

[Date of request for examination] 04.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application]

other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3262070

[Date of registration] 21. 12. 2001

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(11)特許出願公開番号

特開平11-353066

(43)公開日 平成11年(1999)12月24日

(51)Int.Cl. ^o	識別記号	F I	
G 0 6 F 3/00		G 0 6 F 3/00	H
1/18		H 0 3 K 19/003	E
1/26		G 0 6 F 1/00	3 2 0 H
H 0 3 K 19/0175			3 3 0 G
19/003		H 0 3 K 19/00	1 0 1 S
		審査請求 有	請求項の数 6 O L (全 8 頁)

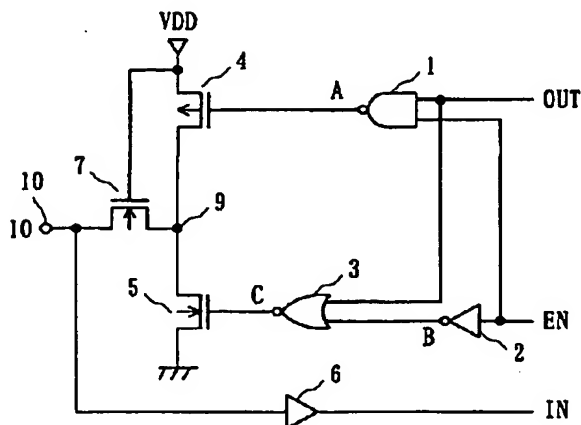
(21)出願番号	特願平10-155734	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成10年(1998)6月4日	(72)発明者	澤井 康則 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 山川 政樹

(54)【発明の名称】 出力バッファ

(57)【要約】

【課題】 活線挿抜時の装置破壊を簡単な構成で防止する。

【解決手段】 入出力バッファの入出力端子10と出力端9の間にNチャネルトランジスタ7を追加する。これにより、相手装置にボードを差し込む際に、ボードの入出力端子10に対応する相手装置側の端子が「H」レベルであったとしても、大電流が相手装置から流れ込むことがなくなる。



【特許請求の範囲】

【請求項1】 ソース又はドレインの一方が電源と接続され他方が出力端子につながる出力端と接続されたPチャネルトランジスタ、及びソース又はドレインの一方が接地され他方が前記出力端と接続された第1のNチャネルトランジスタからなる出力バッファにおいて、前記電源と出力端子の間で前記Pチャネルトランジスタと直列に接続され、前記電源の投入時に電源とほぼ同時に立ち上がる電源電位レベルをゲート入力する第2のNチャネルトランジスタを有することを特徴とする出力バッファ。

【請求項2】 ソース又はドレインの一方が電源と接続され他方が出力端子につながる出力端と接続されたPチャネルトランジスタ、及びソース又はドレインの一方が接地され他方が前記出力端と接続された第1のNチャネルトランジスタからなる出力バッファにおいて、前記電源と出力端子の間で前記Pチャネルトランジスタと直列に接続され、出力バッファを活性化する制御信号をゲート入力する第2のNチャネルトランジスタを有することを特徴とする出力バッファ。

【請求項3】 請求項1記載の出力バッファにおいて、前記第2のNチャネルトランジスタは、出力端子と出力端の間に配設され、ゲートが電源と接続されることを特徴とする出力バッファ。

【請求項4】 請求項1記載の出力バッファにおいて、前記第2のNチャネルトランジスタは、電源とPチャネルトランジスタの間に配設され、前記Pチャネルトランジスタのゲート入力を反転して第*
入出力バッファの通常時の動作

*2のNチャネルトランジスタのゲートに与えるインバータを有することを特徴とする出力バッファ。

【請求項5】 請求項1記載の出力バッファにおいて、前記第2のNチャネルトランジスタは、Pチャネルトランジスタと出力端の間に配設され、前記Pチャネルトランジスタのゲート入力を反転して第2のNチャネルトランジスタのゲートに与えるインバータを有することを特徴とする出力バッファ。

【請求項6】 請求項1又は2記載の出力バッファにおいて、前記第2のNチャネルトランジスタは、デプレッション型のトランジスタであることを特徴とする出力バッファ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、出力バッファに関するものである。

【0002】

【従来の技術】従来、コンピュータとその周辺機器の通信インタフェースをとる場合、双方のバスラインに入出力バッファを設けるのが一般的である。図5は従来の入出力バッファの回路図である。Pチャネルトランジスタ4とNチャネルトランジスタ5は出力バッファを構成しており、NAND回路1、インバータ2及びNOR回路3は出力バッファを制御する回路を構成している。この入出力バッファの通常時の動作を表1に示す。

【0003】

【表1】

状態	EN	OUT	A	B	C	Tr 4	Tr 5	IO	IN
1	0	×	H	H	L	オフ	オフ	Z	×
2	0	×	H	H	L	オフ	オフ	1	1
3	0	×	H	H	L	オフ	オフ	0	0
4	1	1	L	L	L	オン	オフ	1	1
5	1	0	H	L	H	オフ	オン	0	0

【0004】表1において、ENは出力バッファをイネーブル状態（入力バッファ6をディセーブル状態）にするイネーブル信号、OUTはコンピュータ等の相手装置（不図示）へ送出すべき信号、IOは入出力端子10に現れる信号、INは入力バッファ6の出力信号、AはNAND回路1の出力信号、Bはインバータ2の出力信号、CはNOR回路3の出力信号である。Tr4、Tr5はそれぞれトランジスタ4、5の状態を表している。また、「×」は信号の入出力がないことを示し、「Z」はハイインピーダンス状態を示している。こうして、図5の入出力バッファは、イネーブル信号ENが「0」

（表1の状態1～3）のとき、入力バッファとして機能し、イネーブル信号ENが「1」（表1の状態4、5）のとき、出力バッファとして機能する。

【0005】次に、入出力バッファが搭載されたボード52を相手装置51に差し込む場合の動作について説明する。ここでは、相手装置51をコンピュータ、入出力バッファが搭載されたボード52をコンピュータと周辺機器を接続するためのインタフェースボードとし、ボード52の電源電圧VDDは、相手装置51にボード52を挿着したときに、相手装置側から供給されるものとする。相手装置51の電源が入っている状態で、相手装置

51にボード52を挿着した瞬間の入出力バッファの動作を表2に示す。 *【0006】 *【表2】

入出力バッファの活線挿着時の動作

状態	EN	OUT	A	B	C	Tr ₄	Tr ₅	IO	IN
6	×	×	L	L	L	オン	オフ	H	×

【0007】表2は、電源電圧VDDが十分な値に立ち上がる前の状態を示しており、NAND回路1の出力信号A、インバータ2の出力信号B、NOR回路3の出力信号Cはいずれも「L」レベルである。これにより、Pチャネルトランジスタ4はオン状態、Nチャネルトランジスタ5はオフ状態となる。したがって、ボード52の入出力端子10に対応する相手装置側の端子が「H」レベルであった場合には、相手装置51から入出力端子10、Pチャネルトランジスタ4を介してボード52の電源に図5に示すような大電流Iが流れる。このような大電流Iは、相手装置51のドライバ（出力バッファ）53の破壊やボード52の電源ラインに設けられたレギュレータ等の回路（不図示）の破壊を引き起こす。

【0008】そこで、コンピュータ等の相手装置の電源を切ることなくボードを相手装置より抜脱または挿入することができる活線挿抜方式が提案されている（例えば、特開平5-37169号公報）。図6は、特開平5-37169号公報に開示された活線挿抜方式のブロック図である。44は交換しようとしている回路基盤（図5のボード52に相当）、43は複数の回路基盤を接続する信号線が通ったバックボード基盤（図5の相手装置51に相当）であり、11、38はそれぞれ回路基盤44、バックボード基盤43上に取り付けられたコネクタである。コネクタ11内の12はグランドピン、14は電源ピンで、それぞれ長ピンであり、13は信号ピン、15は電源ピンで、それぞれ短ピンである。これにより、回路基盤44をバックボード基盤43に差し込むとき、グランドピン12、電源ピン14はその他の信号ピン13、電源ピン15より早く対応するピン39、41と接続され、逆に抜脱時は遅くまで接続されている。

【0009】ここで、まず回路基盤44が抜脱されており、バックボード基盤43側に電源が供給されている状態で回路基盤44を差し込む場合について説明する。回路基盤44をバックボード基盤43に差し込むと、回路基盤44のグランドピン12、電源ピン14が先にバックボード基盤43の対応するピン39、41に接続される。電源ピン14が接続されて電源が供給されると、パワーオンクリア（PCLR）回路20が動作し、一定時間の初期化信号をAND回路28に送出する。AND回路28の出力はフリップフロップ回路29のリセット端子31に接続されており、リセット端子31の信号がイ

10 ネーブルになるとフリップフロップ29の反転出力端子30の出力が「1」になる。この反転出力端子30の出力はOR回路23を介して出力バッファ16のイネーブル端子18と入力バッファ17のイネーブル端子19に接続されており、これらの信号が「1」のため、出力バッファ16及び入力バッファ17の出力はハイインピーダンスとなり、バックボード基盤43より切り離された状態となる。この時、フリップフロップ29の反転出力はNOT回路36に入力されているので、発光ダイオード37が点灯し、切り離し状態であることを示す。

20 【0010】回路基盤44を更に押し込むと、信号ピン13、電源ピン15がバックボード基盤43の対応するピン40、42と接続される。電源ピン15に電源が供給されるとパワーオンクリア（PCLR）回路21が動作し、一定時間初期化信号をAND回路28に出力し、その結果パワーオンクリア回路21からの初期化信号が出力されなくなるまでフリップフロップ29のリセット端子31がイネーブルとなり、スイッチ35からの信号を禁止する。回路基盤44の挿入が完全に終了した時点で操作者はノンロック式スイッチ35を押下けると押下信号がスイッチのチャタリング防止（CHT）回路34を経てフリップフロップ29のクロック端子33に入力される。クロック端子33に押下信号が入力される前まで反転出力端子30の出力は「1」であり、本信号はデータ入力端子32に接続されているため、クロック端子33に押下信号が入力されると、反転出力端子30の出力は「0」になる。その結果、出力バッファ16及び入力バッファ17のイネーブル信号端子18、19がイネーブルとなり、バックボード基盤43と接続される。フリップフロップ29の反転出力端子30の出力は「0」のため、発光ダイオード37は消灯し、接続状態であることを示す。

30 【0011】

【発明が解決しようとする課題】以上のように従来の入出力バッファでは、活線挿着時に相手装置の回路やボードの回路にダメージを与えることがあるという問題点があった。電源を切ってからボードを差し込むことが可能な相手装置であれば、このような問題は発生しないが、相手装置によっては電源を切ることが困難な場合がある。また、特開平5-37169号公報に開示された活線挿抜方式によれば、このような問題点を解消すること

ができるが、回路が複雑となり、コストアップになってしまうという問題点があった。本発明は、上記課題を解決するためになされたもので、活線挿抜時の装置破壊を簡単な構成で防止することができるバッファ回路を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、請求項1に記載のように、ソース又はドレインの一方が電源と接続され他方が出力端子につながる出力端と接続されたPチャネルトランジスタ、及びソース又はドレインの一方が接地され他方が上記出力端と接続された第1のNチャネルトランジスタからなる出力バッファにおいて、上記電源と出力端子の間に上記Pチャネルトランジスタと直列に接続され、上記電源の投入時に電源とほぼ同時に立ち上がる電源電位レベルをゲート入力する第2のNチャネルトランジスタを有するものである。また、請求項2に記載のように、上記電源と出力端子の間に上記Pチャネルトランジスタと直列に接続され、出力バッファを活性化

する制御信号をゲート入力する第2のNチャネルトランジスタを有するものである。また、請求項3に記載のように、上記第2のNチャネルトランジスタは、出力端子と出力端の間に配設され、ゲートが電源と接続されるものである。また、請求項4に記載のように、上記第2のNチャネルトランジスタは、電源とPチャネルトランジスタの間に配設され、上記Pチャネルトランジスタのゲート入力を反転して第2のNチャネルトランジスタのゲートに与えるインバータを有するものである。また、請求項5に記載のように、上記第2のNチャネルトランジスタは、Pチャネルトランジスタと出力端の間に配設され、上記Pチャネルトランジスタのゲート入力を反転し

＊て第2のNチャネルトランジスタのゲートに与えるインバータを有するものである。また、請求項6に記載のように、上記第2のNチャネルトランジスタは、デプレッション型のトランジスタである。

【0013】

【発明の実施の形態】[実施の形態の1]次に、本発明の実施の形態について図面を参照して詳細に説明する。

図1は本発明の第1の実施の形態を示す入出力バッファの回路図であり、図5と同一の構成には同一の符号を付してある。この入出力バッファは、コンピュータ等の相手装置（不図示）へ送出すべき信号OUTとイネーブル信号ENの否定論理積をとるNAND回路1と、イネーブル信号ENを論理反転するインバータ2と、信号OUTとインバータ2の出力信号Bの否定論理和をとるNOR回路3と、ソース又はドレインの一方が電源と接続され他方が出力端9と接続され、ゲートにNAND回路1の出力信号Aが入力されるPチャネルトランジスタ4と、ソース又はドレインの一方が接地され他方が出力端9と接続され、ゲートにNOR回路3の出力信号Cが入力される第1のNチャネルトランジスタ5と、入力が入出力端子10と接続された入力バッファ6と、ソース又はドレインの一方が入出力端子10と接続され他方が出力端9と接続され、ゲートに電源電圧VDDが入力される第2のNチャネルトランジスタ7とを有している。

【0014】本実施の形態の入出力バッファは、図5の入出力バッファの入出力端子10と出力端9の間にNチャネルトランジスタ7を追加したものである。この入出力バッファの通常時の動作を表3に示す。

【0015】

【表3】

状態	EN	OUT	A	B	C	Tr ₄	Tr ₅	Tr ₇	IO	IN
1	0	×	H	H	L	オフ	オフ	オン	Z	×
2	0	×	H	H	L	オフ	オフ	オン	1	1
3	0	×	H	H	L	オフ	オフ	オン	0	0
4	1	1	L	L	L	オン	オフ	オン	1	1
5	1	0	H	L	H	オフ	オン	オン	0	0

【0016】表3において、Tr7はトランジスタ7の状態を表している。その他の符号の意味は表1と全く同じである。Nチャネルトランジスタ7のゲートは電源に接続されているため、電源電圧VDDが正常に供給される通常時、トランジスタ7は常にオン状態となる。これにより、図5の入出力バッファと同じ機能を実現している。

【0017】次に、図1の入出力バッファが搭載されたボードを相手装置（不図示）に差し込む場合の動作につ

いて説明する。ここでは、相手装置をコンピュータ、入出力バッファが搭載されたボードをコンピュータと周辺機器を接続するためのインタフェースボードとし、ボードの電源電圧VDDは、相手装置にボードを挿着したときに、相手装置側から供給されるものとする。相手装置の電源が入っている状態で、相手装置にボードを挿着した瞬間の入出力バッファの動作を表4に示す。

【0018】

【表4】

7
入出力バッファの活線挿着時の動作

状態	EN	OUT	A	B	C	Tr ₄	Tr ₅	Tr ₇	IO	IN
6	×	×	L	L	L	オン	オフ	オフ	H	×

【0019】表4は、電源電圧VDDが十分な値に立ち上がる前の状態を示しており、NAND回路1の出力信号A、インバータ2の出力信号B、NOR回路3の出力信号Cはいずれも「L」レベルである。これにより、Pチャネルトランジスタ4はオン状態、Nチャネルトランジスタ5はオフ状態となる。

【0020】ところで、相手装置にボードを挿着してから電源電圧VDDが正規の値になるまでには、僅かではあるが遅延時間が存在する。これは、ボードの電源ラインにレギュレータ（不図示）が設けられていることと、電源ラインにインダクタンス成分が存在するためである。よって、電源電圧VDDがしきい値電圧に達するまで、Nチャネルトランジスタ7は、表4に示すようにオフ状態となっている。

【0021】したがって、相手装置にボードを差し込む際に、ボードの入出力端子10に対応する相手装置側の端子が「H」レベルであったとしても、図5のような大電流Iが相手装置から流れ込むことはない。また、Nチャネルトランジスタ7がオンする時点では電源電圧VDDが十分な値に立ち上がっているため、大電流Iが相手装置から流れ込むことはない。なお、入力バッファ6の入力はハイインピーダンスなので、入力バッファ6に大電流が流れ込むことはない。以上のようにして、相手装置の回路やボードの回路にダメージを与えることなく、相手装置にボードを挿着することができる。

【0022】〔実施の形態の2〕図2は本発明の第2の実施の形態を示す入出力バッファの回路図である。本実施の形態では、Nチャネルトランジスタ7の代わりに、ソース又はドレインの一方が電源と接続され他方がPチャネルトランジスタ4のソース又はドレインの一方と接続されたNチャネルトランジスタ7aと、NAND回路1の出力信号Aを論理反転した信号をトランジスタ7aのゲートに与えるインバータ8とを設けている。この入出力バッファの通常時の動作を表5に示す。

【0023】〔表5〕

状態	EN	OUT	A	B	C	D	Tr ₄	Tr ₅	Tr _{7a}	IO	IN
1	0	×	H	H	L	L	オフ	オフ	オフ	Z	×
2	0	×	H	H	L	L	オフ	オフ	オフ	1	1
3	0	×	H	H	L	L	オフ	オフ	オフ	0	0
4	1	1	L	L	L	H	オン	オフ	オン	1	1
5	1	0	H	L	H	L	オフ	オン	オフ	0	0

【0024】表5において、Dはインバータ8の出力信号である。また、Tr7aはトランジスタ7aの状態を表している。その他の符号の意味は表1と全く同じである。Nチャネルトランジスタ7aのゲートはインバータ8を介してPチャネルトランジスタ4のゲート入力（NAND回路1の出力信号A）に接続されている。このため、トランジスタ7aは、イネーブル信号ENが「0」となる入力モード（表5の状態1～3）においてオフ状態となり、イネーブル信号ENが「1」となる出力モード（表5の状態4、5）において、信号OUTが「1」

のときオン状態となり、信号OUTが「0」のときオフ状態となる。これにより、図5の入出力バッファと同じ機能を実現している。

【0025】次に、図2の入出力バッファが搭載されたボードを相手装置（不図示）に差し込む場合の動作を実施の形態の1と同様に説明する。相手装置の電源が入っている状態で、相手装置にボードを挿着した瞬間の入出力バッファの動作を表6に示す。

【0026】〔表6〕

入出力バッファの活線挿着時の動作

状態	EN	OUT	A	B	C	D	Tr ₄	Tr ₅	Tr _{7a}	IO	IN
6	×	×	L	L	L	L	オン	オフ	オフ	H	×

【0027】表6は、電源電圧VDDが十分な値に立ち上がる前の状態を示しており、実施の形態の1と同様に、Pチャネルトランジスタ4はオン状態、Nチャネルトランジスタ5はオフ状態となる。このとき、電源電圧VDDが一定の値に達するまで、インバータ8の出力信号Dが「L」レベルなので、Nチャネルトランジスタ7aはオフ状態となる。こうして、実施の形態の1と同様の効果を得ることができる。

【0028】〔実施の形態の3〕図3は本発明の第3の実施の形態を示す入出力バッファの回路図である。本実施の形態では、Nチャネルトランジスタ7の代わりに、ソース又はドレインの一方がPチャネルトランジスタ4のソース又はドレインの他方と接続され、ソース又はドレインの他方が出力端9と接続されたNチャネルトランジスタ7bと、NAND回路1の出力信号Aを論理反転した信号をトランジスタ7bのゲートに与えるインバータ8とを設けている。

【0029】この入出力バッファの動作は、通常時、活線挿着時の何れも表5、表6に示した実施の形態の2の入出力バッファの動作と同じである。こうして、実施の形態の1と同様の効果を得ることができる。また、本実施の形態の入出力バッファによれば、活線挿着時にPチャネルトランジスタ4の半導体基板に流れるリーク電流の発生を防止することができる。

【0030】つまり、Pチャネルトランジスタ4は、図4(a)に示すように、N型Si基板61、P⁺型Siからなるソース領域62、P⁺型Siからなるドレイン領域63、ゲート絶縁膜となる酸化膜64、ポリSiからなるゲート電極65から構成されている。したがって、活線挿着時に基板61にリーク電流が流れる。これに対して、Nチャネルトランジスタ7bは、図4(b)に示すように、P型Si基板71、N⁺型Siからなるソース領域72、N⁺型Siからなるドレイン領域73、ゲート絶縁膜となる酸化膜74、ポリSiからなるゲート電極75から構成されるので、このようなトランジスタ7bをPチャネルトランジスタ4と出力端9の間に設けることにより、リーク電流の発生を防止することができる。

【0031】〔実施の形態の4〕実施の形態の1～3では、Nチャネルトランジスタ7、7a、7bにエンハンスメント型のトランジスタを使用したか、デプレッション（ノンドープ）型のトランジスタを使用してもよい。このようにNチャネルトランジスタ7、7a、7bにデ

プレッション型を使用すれば、オン時のドレイン－ソース間電圧をエンハンスメント型よりも低くすることができるので、入出力バッファの通常動作に与える影響を小さくすることができる。なお、デプレッション型のトランジスタは、ノーマリーオン（normally on）型の特性を有するが、100kΩ程度のオン抵抗が存在するので、活線挿着時に大電流が流れることはない。

【0032】なお、実施の形態の2、3では、NAND回路1とインバータ8を介してイネーブル信号ENをNチャネルトランジスタ7a、7bにゲート入力しているが、イネーブル信号を直接ゲート入力してもよい。また、以上の実施の形態では、相手装置の電源が入っている状態で、相手装置にボードを挿着する活線挿着の場合で説明したが、これに限るものではなく、例えば同じ回路基板内で異なる電源電圧を使用し、かつ入出力バッファの電源電圧VDDよりも高い電圧が先に立ち上がって入出力端子10に印加されるような場合にも同様の問題が起こり得る。したがって、このような場合にも本発明を適用することができる。

【0033】

〔発明の効果〕本発明によれば、電源と入出力端子の間に第2のNチャネルトランジスタを設けることにより、活線挿着時の装置破壊を簡単な構成で防止することができる。入出力バッファの電源電圧よりも高い電圧が先に立ち上がるような場合にも装置破壊を防止することができる。

【0034】また、第2のNチャネルトランジスタをデプレッション型のトランジスタとすることにより、入出力バッファの通常動作に与える影響を小さくすることができる。

〔図面の簡単な説明〕

〔図1〕 本発明の第1の実施の形態を示す入出力バッファの回路図である。

〔図2〕 本発明の第2の実施の形態を示す入出力バッファの回路図である。

〔図3〕 本発明の第3の実施の形態を示す入出力バッファの回路図である。

〔図4〕 図1、図2のPチャネルトランジスタ及び図3の第2のNチャネルトランジスタの断面図である。

〔図5〕 従来の入出力バッファの回路図である。

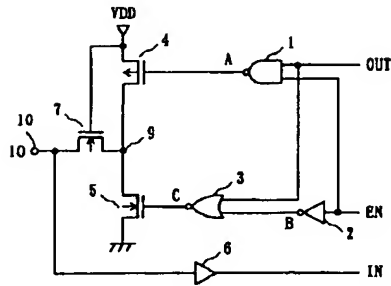
〔図6〕 従来の活線挿着方式のブロック図である。

〔符号の説明〕

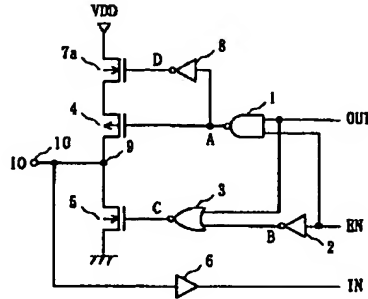
1…NAND回路、2…インバータ、3…NOR回路、

4…Pチャネルトランジスタ、5…Nチャネルトランジスタ、*トランジスタ、8…インバータ、9…出力端、10…入スタ、6…入力バッファ、7、7a、7b…Nチャネル* 出力端子。

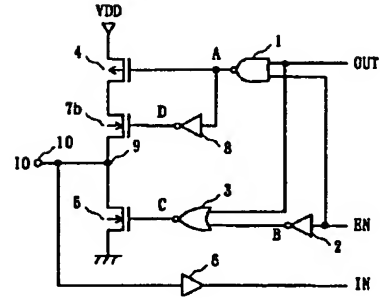
【図1】



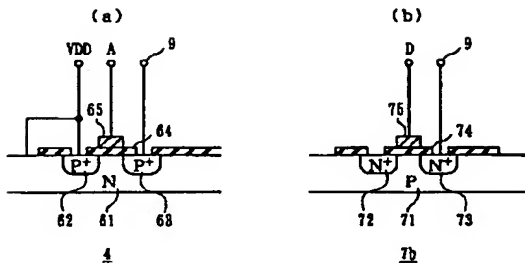
【図2】



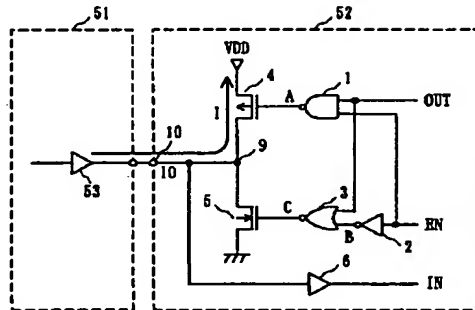
【図3】



【図4】



【図5】



【図 6】

